

脳型情報処理のための パルス駆動位相振動子回路

九州工業大学

大学院 生命体工学研究科 脳情報専攻

○東原 敬 松坂 建治 西 広海 森江 隆

研究背景

脳型情報処理の実現を目指し、モデル、回路を提案してきた。

神経細胞のモデルとして

結合位相振動子を取り上げた。

振動子の信号伝達方法として2種類ある。

位相結合モデル (クロック同期型動作)

→ 厚地によりPWM方式でLSI化[1]

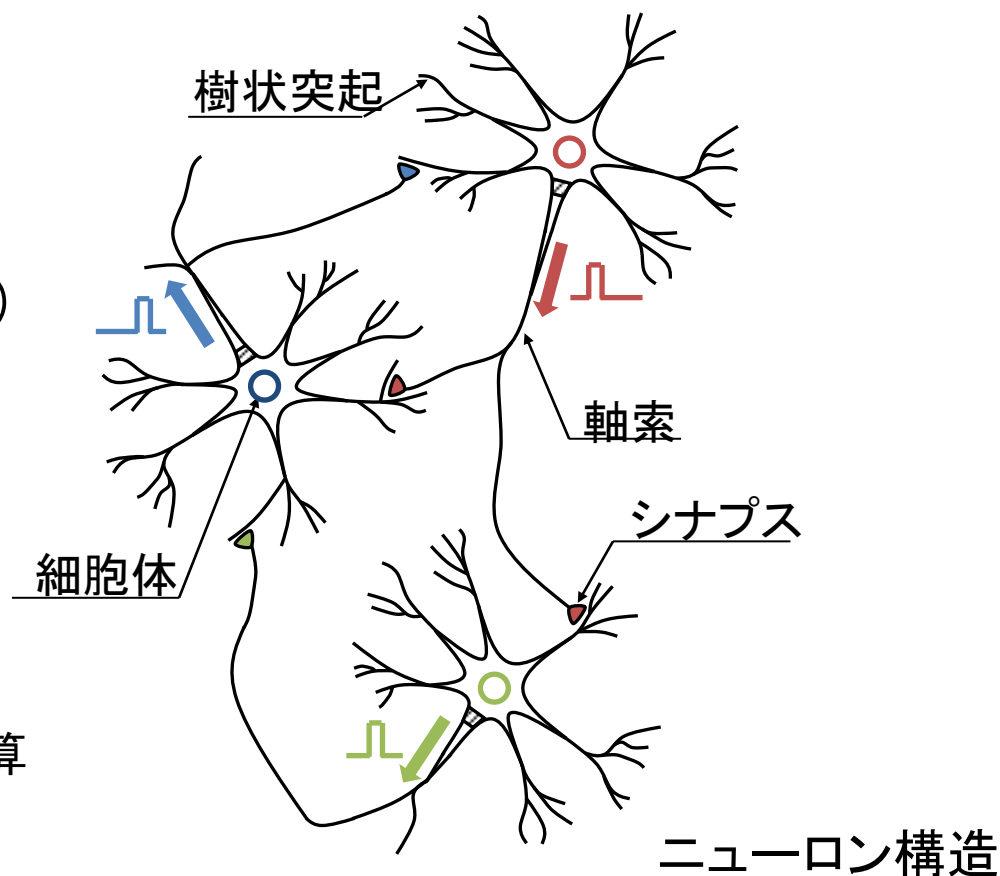
- ・ 任意の非線形変換を実現
- ・ 結合関数を自由に制御

パルス結合モデル (パルス駆動)

→ 松坂によりLSI化[2]

- ・ 振動子は外部クロックに依存しない
- ・ 振動子のダイナミクスを連続時間で演算

➡ 高速, 効率的な処理が期待できる



今回は、ひびきののLSI試作施設を用いて、パルス結合型モデルの詳細な検証をするため、チップを設計・試作した

[1] D. Atuti, et al, *ECCTD*, pp. 827-830, 2007.

[2] K. Matsuzaka, et al, *ISCAS*, pp. 2849-2852, 2011.

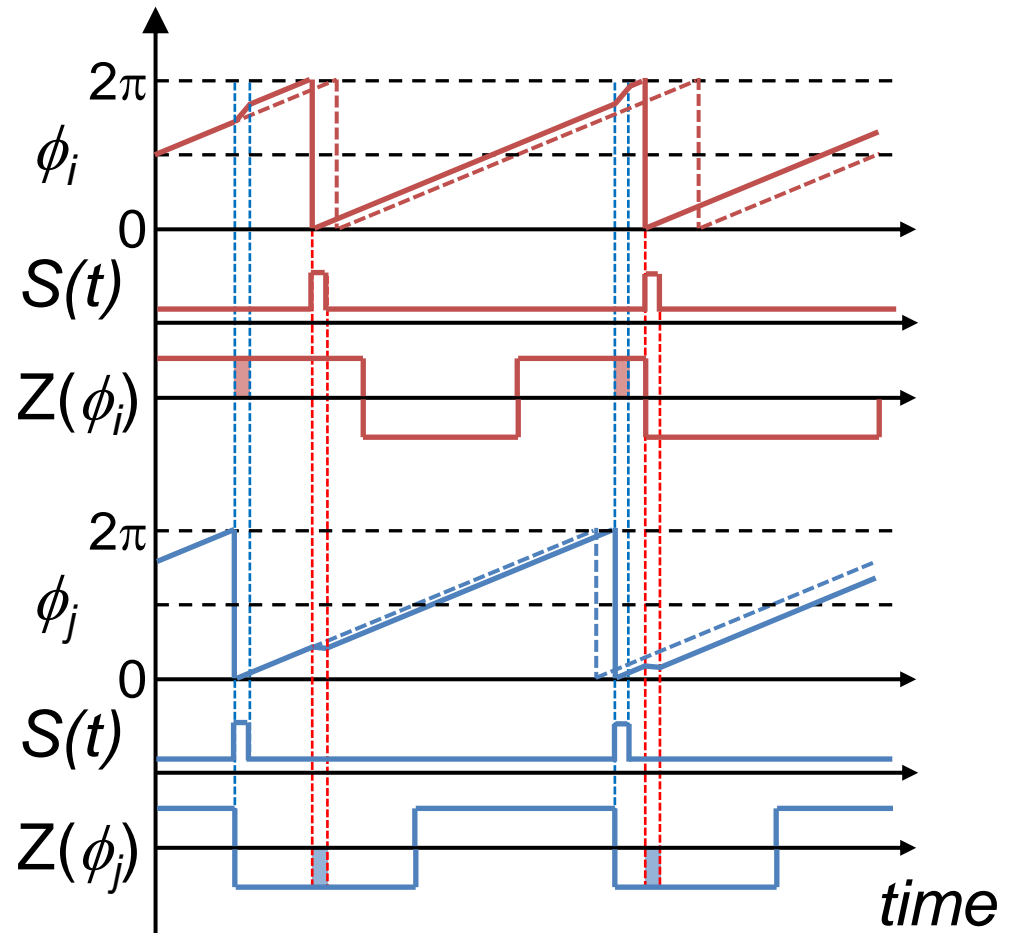
パルス結合位相振動子モデル

モデルの更新式:

$$\frac{d\phi_i}{dt} = \omega_i + Z(\phi_i)S(t)$$

$$S(t) = \frac{K_0}{N} \sum_{j=1}^N \sum_{n=1}^{\infty} \delta(t - t_{jn})$$

- ω_i : 固有周波数
- ϕ_i : 周期 2π の位相変数
- $Z(\phi_i)$: 位相応答関数
- K_0 : 結合強度
- N : 結合している他の振動子の数
- t_{jn} : 他の振動子のスパイクタイミング



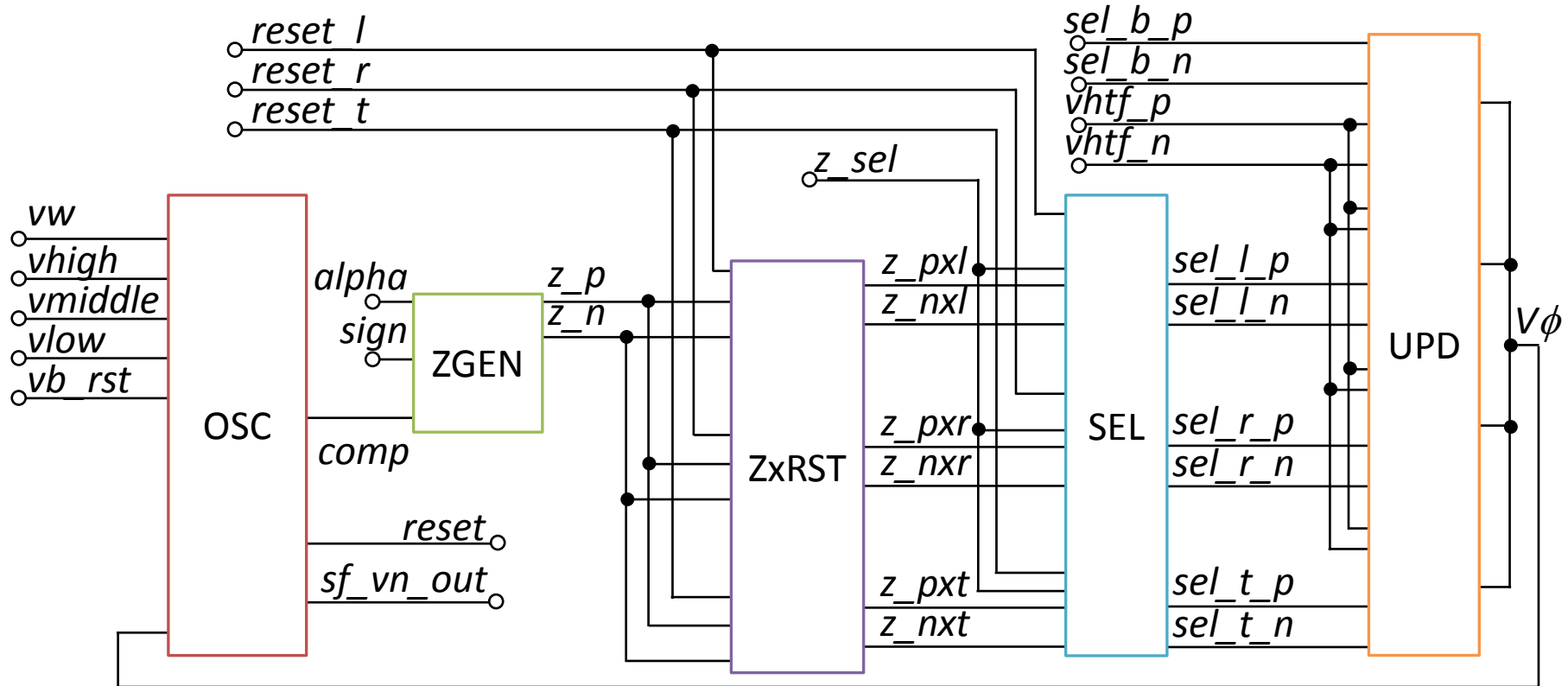
- 振動子は時間幅 Δt のスパイクパルスを出力する
- スパイクの受け渡しによって、相互作用する

目的

**脳型情報処理を目指した振動子デバイスを設計・試作し、
その動作を実チップにより解析する**

- パルス結合位相振動子系を実現するCMOS回路を試作する
- LSI測定によって、位相振動子の同期現象を観測する

結合位相振動子回路 (CORE)



OSC: 振動子を実現し, スパイクパルスを他振動子へ出力する

ZGEN: 位相応答関数Zを生成する

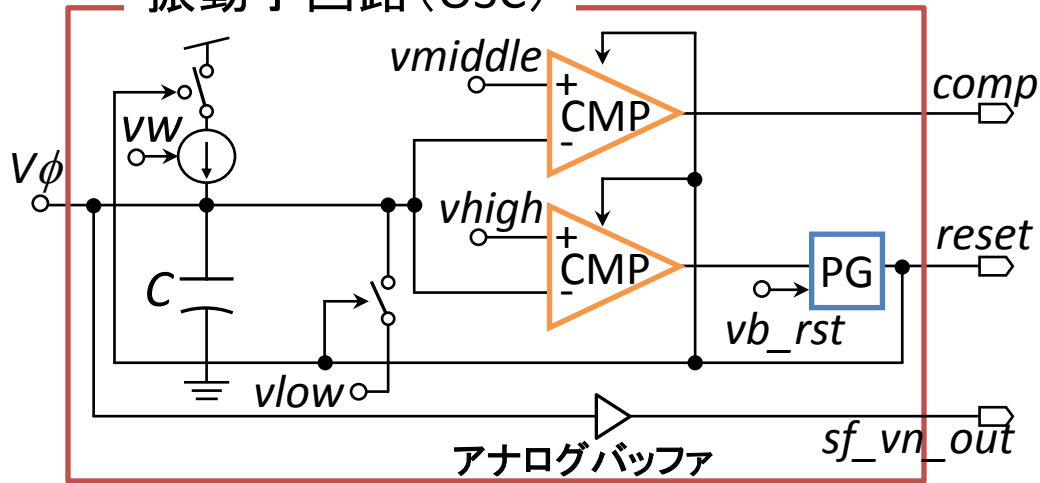
ZxRST: 関数Zと他振動子からの入力信号を合成する

SEL: ZxRSTの出力信号と他振動子からの入力信号を選択し, 出力する

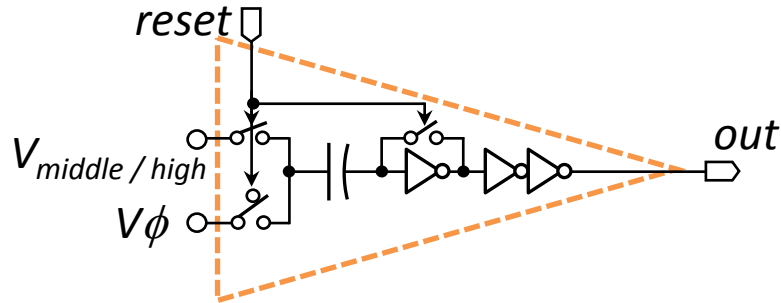
UPD: 振動子の位相状態を更新する

回路構成・動作(1)

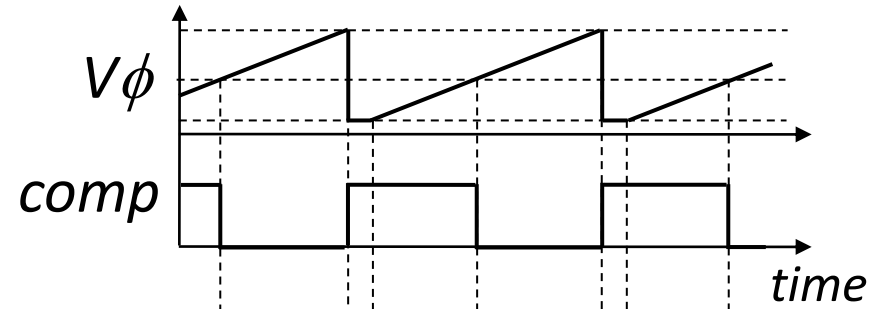
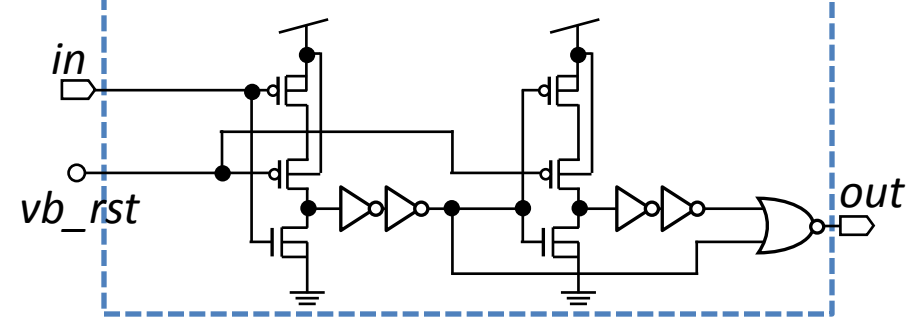
振動子回路 (OSC)



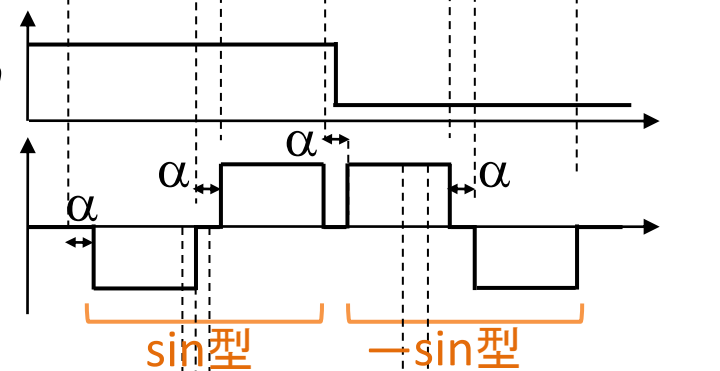
比較回路 (CMP)



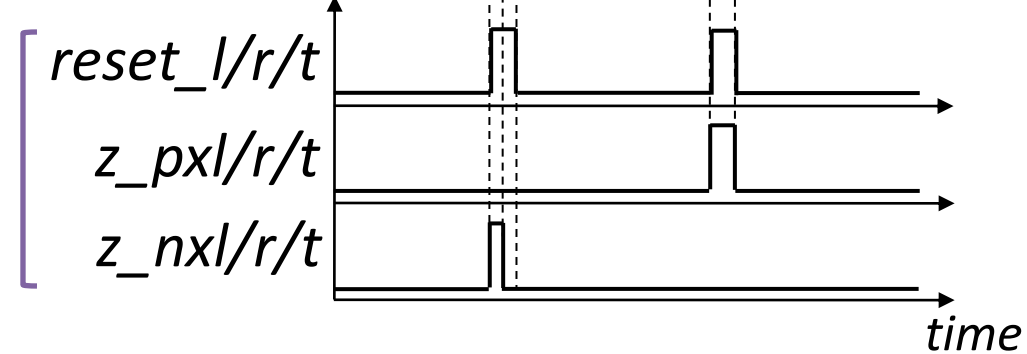
パルス生成回路 (PG)



ZGEN



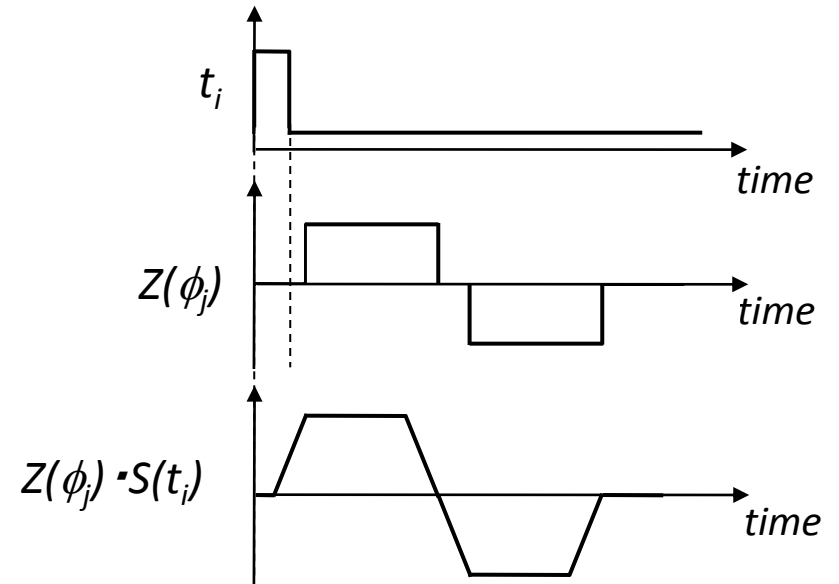
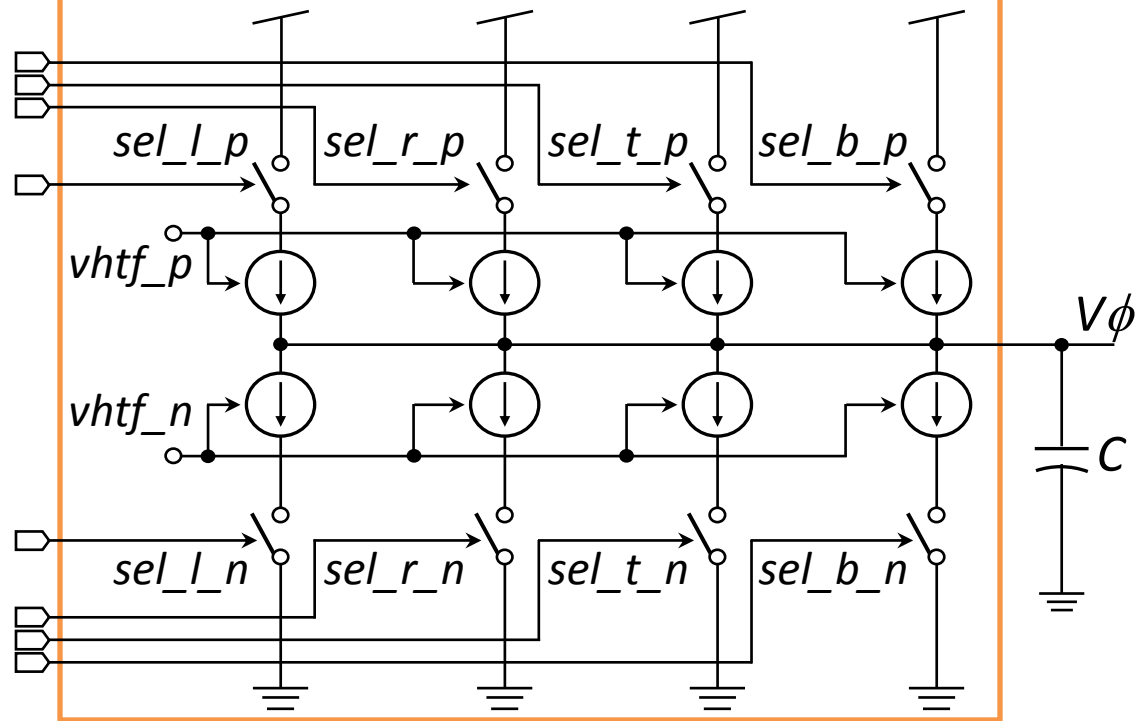
ZxRST



位相応答図

回路構成・動作(2)

更新回路(UPD)



更新式:

$$\frac{d\phi_i}{dt} = \omega_i + Z(\phi_i)S(t)$$

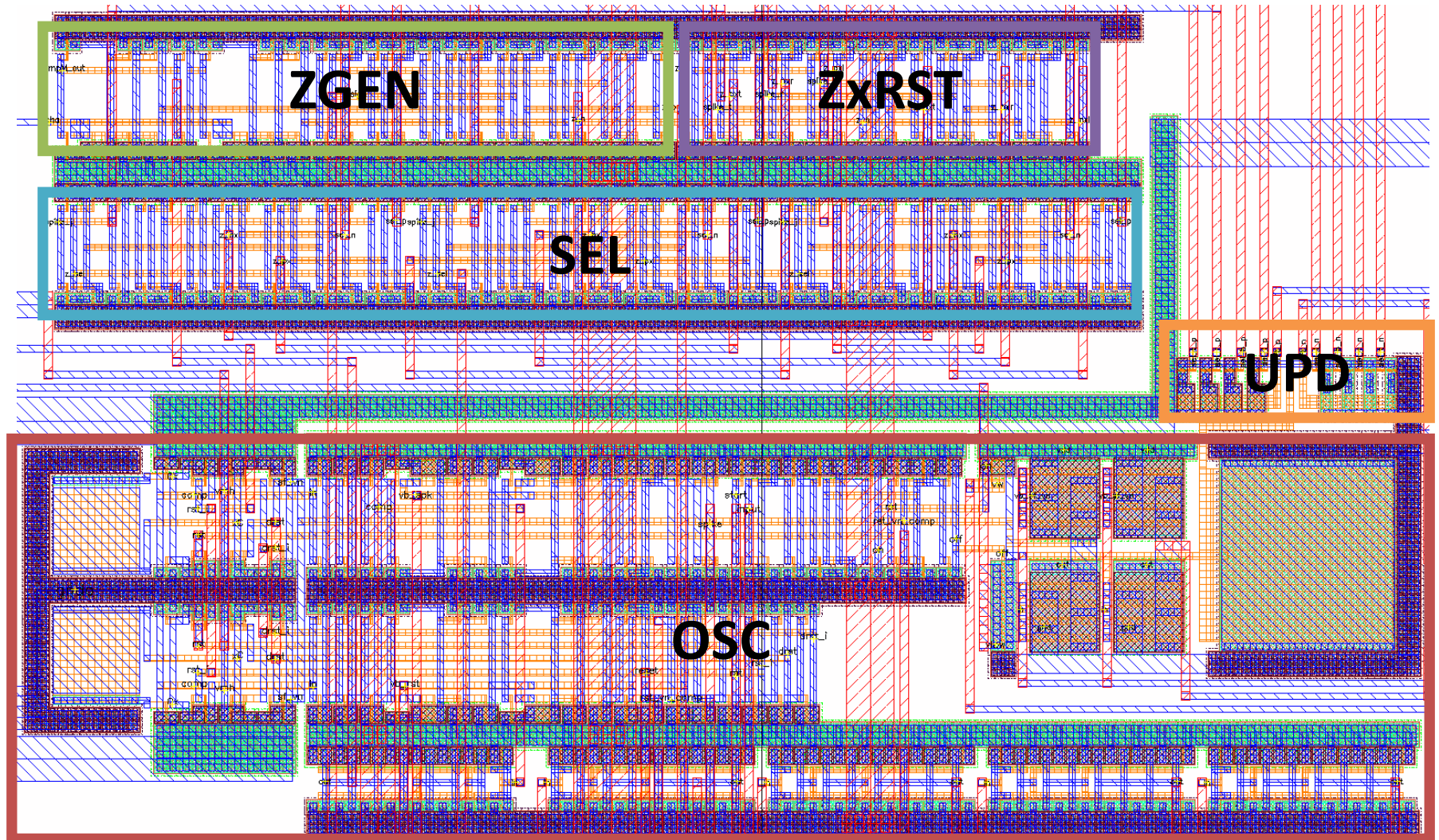
$$S(t) = \frac{K_0}{N} \sum_{j=1}^N \sum_{n=1}^{\infty} \delta(t - t_{jn})$$

スパイクが入力したときの更新量を表す

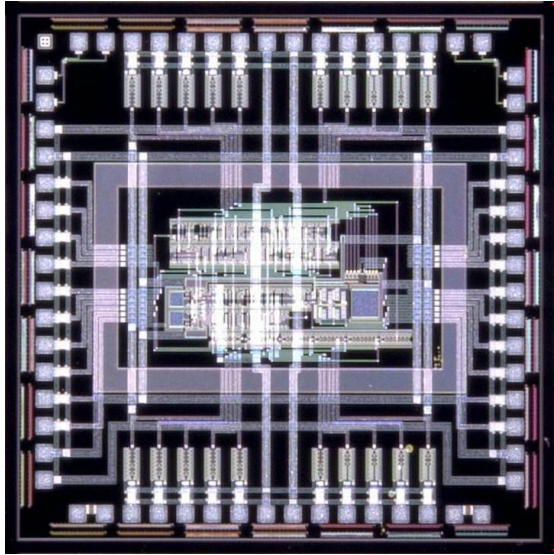
スパイクには時間幅 Δt がある

更新量は Δt と Z の積分によって決定される

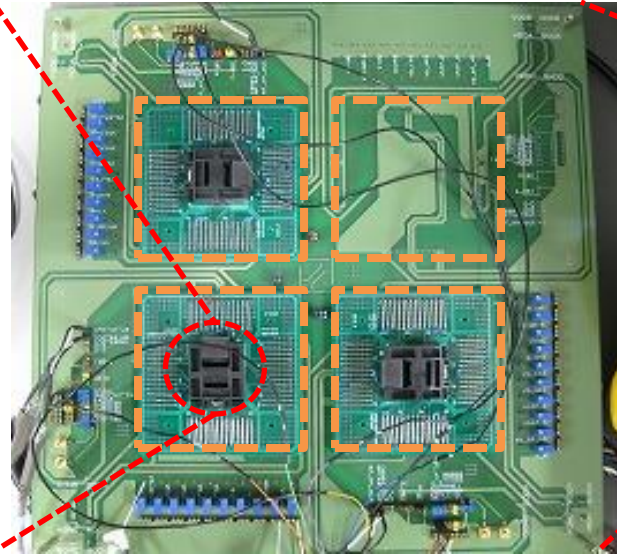
レイアウト結果 (CORE)



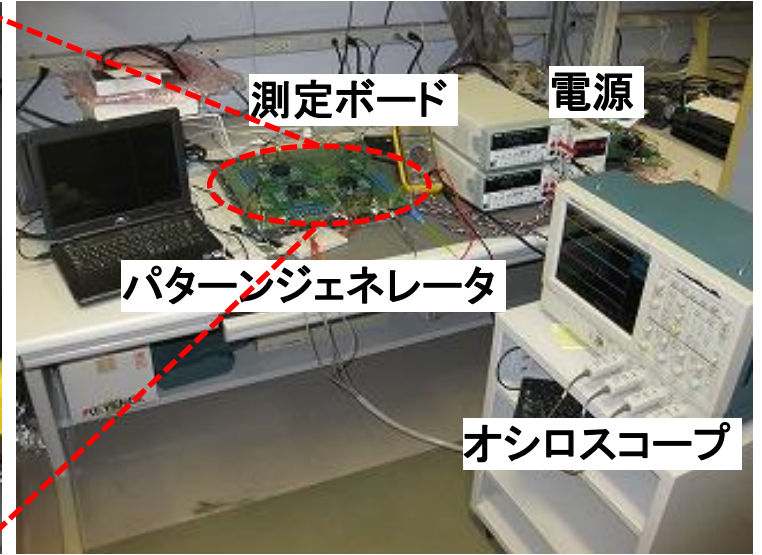
チップ測定



測定チップ



測定ボード



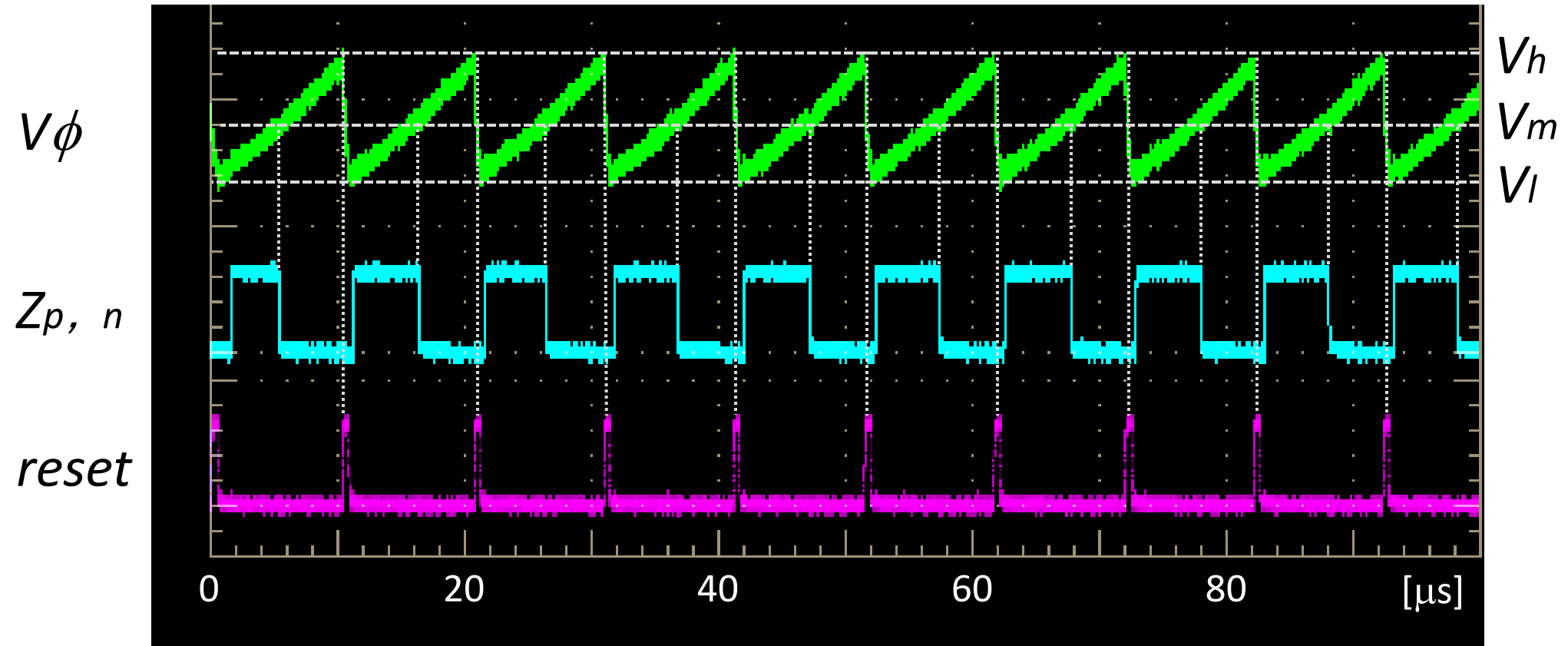
測定環境

- ・1チップ上に1個のパルス結合位相振動子を搭載した
- ・測定ボード上では、4個のチップを結合できる

プロセス技術 : $2\mu\text{m}$ (1-Poly, 2-Metal)
供給電源電圧 : 3.3V
消費電力 : $1800\mu\text{W}$ (SPICEシミュレーション結果)
レイアウト面積 : $1400 \times 940\mu\text{m}^2$

LSI測定結果(1)(振動子動作)

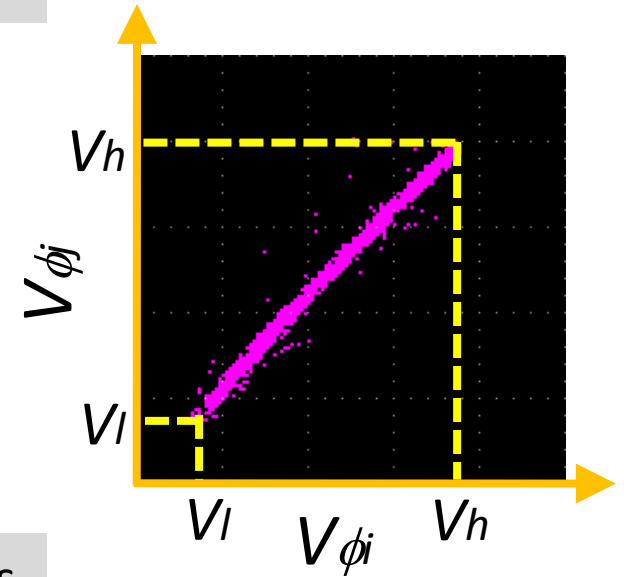
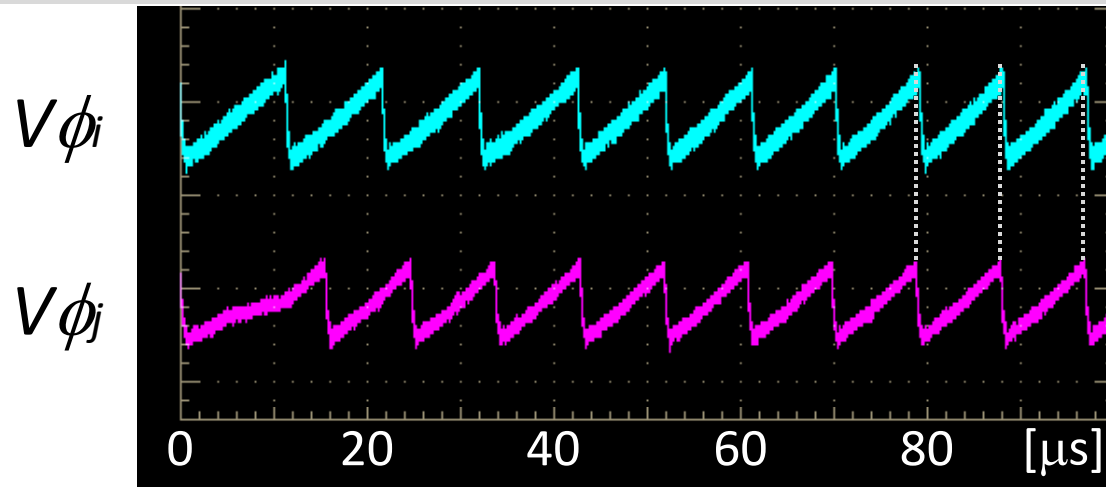
周期: $10\ \mu\text{s}$ パルス幅: $0.5\ \mu\text{s}$



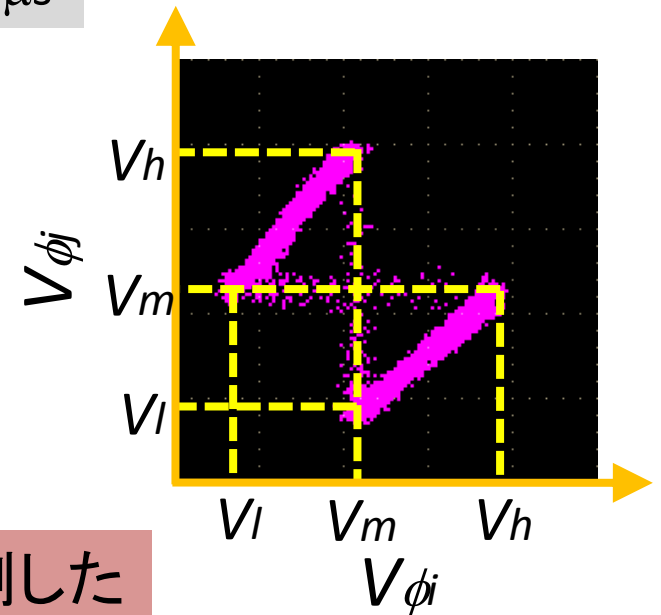
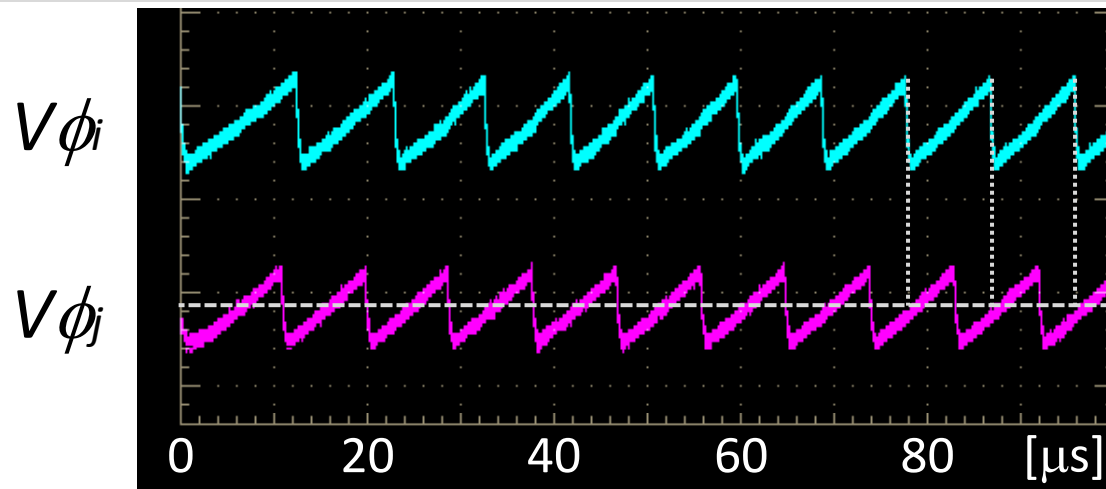
振動子動作を観測した

LSI測定結果(2)(2振動子結合の同期動作)

周期: $10\ \mu\text{s}$ スパイク幅: $0.5\ \mu\text{s}$ 初期位相差: $5\ \mu\text{s}$

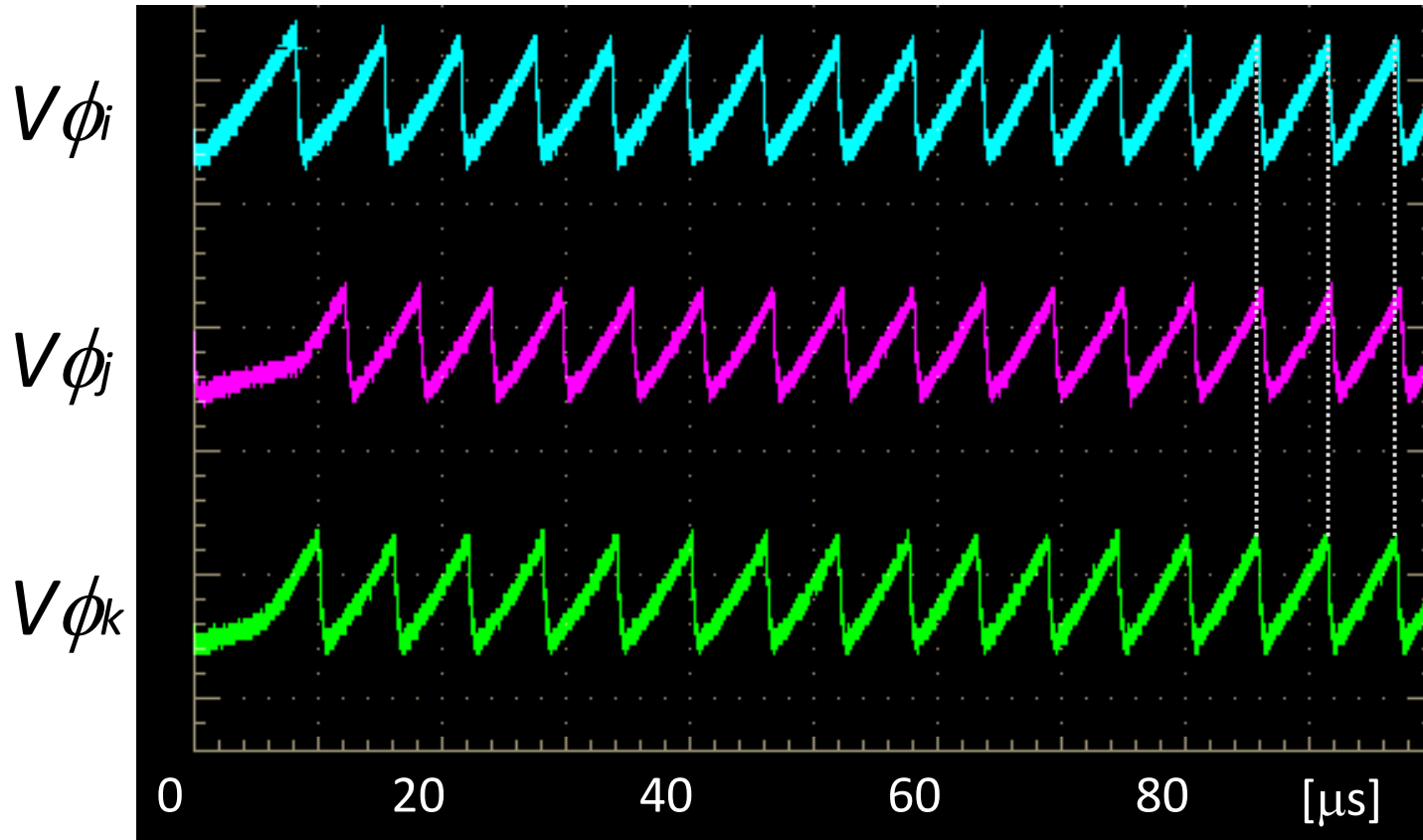


周期: $10\ \mu\text{s}$ スパイク幅: $0.5\ \mu\text{s}$ 初期位相差: $0\ \mu\text{s}$



同相・逆相同期を観測した

LSI測定結果(3)(3振動子結合の同相同期)



周期:	10 μs
スパイク幅:	0.5 μs
初期位相差:	
$V\phi_{i-k}$	3 μs
$V\phi_{j-k}$	3 μs

3素子結合の同相同期を観測した

まとめ

○ 結論

位相振動子の同期現象を観測した.

- パルス結合位相振動子系を実現するCMOS回路を試作した.
- 試作チップの測定によって, 振動子の同期動作を観測した.
 - 同相・逆相同期を観測した.

○ 今後の予定

さまざまな条件下で, 同期現象を観測する.

- 位相応答関数を変形させる. (外部から任意波形を与える)
- 4チップ結合で実験する.

大規模なパルス結合位相振動子系による脳型視覚処理を実装したチップを開発中.