

「第4回 ユニーク・自作チップ・コンテスト in ひびきの」  
受賞者

**【最優秀賞】**

受賞者

宮崎大学 大学院 電気電子工学専攻  
今川 翔太 氏

応募チップの内容

・タイトル: 『Floating Gate を用いたヒステリシスコンパレータ』

・概要: 近年, センシング技術の発達によってタッチパネルに代表されるようなアナログ信号をインタフェースから取り込み, 扱うことも多くなったため, ますます A/D 変換器の重要性が認められている. そして, アナログ信号をデジタル信号に変換する機能はコンパレータにもあり, 信号を処理する上で十分な役割を果たすことが可能である. その中でも, ノイズやチャタリングに強いヒステリシスコンパレータは, 従来オペアンプを用いるものとバックゲート駆動型が提案されている. しかし, オペアンプを用いたものでは, 消費電力の問題点があり, バックゲート駆動型では, 製造プロセスに依存するという問題点がある. そこで, これらの問題を解決するために, 2 個の 2 入力 FG-MOSFET と 1 個の CMOS インバータで構成される 2 入力 FG-MOSFET を適用したヒステリシスコンパレータに着目した. これにより, 消費電力も小さく, 製造プロセスの依存が小さいヒステリシスコンパレータを実現できた.



宮崎大学 大学院 今川 翔太 氏